

PAT-NO: JP410257109A  
DOCUMENT-IDENTIFIER: JP 10257109 A  
TITLE: AUTOMATIC FREQUENCY CONTROLLER FOR FSK RECEIVER  
PUBN-DATE: September 25, 1998

INVENTOR-INFORMATION:

NAME  
ABE, KATSUAKI  
MIMURA, MASAHIRO  
HASEGAWA, MAKOTO  
KATAYAMA, HIROSHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP09058928

APPL-DATE: March 13, 1997

INT-CL (IPC): H04L027/14, H03J007/02

ABSTRACT:

PROBLEM TO BE SOLVED: To control the oscillation frequency of a voltage control oscillator, and to make it almost coincident with the carrier wave frequency of a received FSK(frequency deviation modulation) signal in the automatic frequency controller of an FSK receiver in digital radio communication.

SOLUTION: This FSK receiver converts a received FSK signal 100 into an orthogonal base band signal by direct conversion, converts it into an FSK signal 133 with a low frequency band again, and demodulates it by F/V conversion. The number of waves of the low frequency band FSK signal 133 is counted in a time sufficiently long to bit length, and compared with an ideal value. Then, the error amounts of an oscillation frequency in a voltage control oscillator 104 are detected, converted into a control voltage, and feed backed to the voltage control oscillator 104. Thus, automatic frequency control can be attained.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-257109

(43)公開日 平成10年(1998) 9月25日

(51)IntCl<sup>6</sup>

識別記号

F I

H 0 4 L 27/14

H 0 4 L 27/14

J

H 0 3 J 7/02

H 0 3 J 7/02

審査請求 未請求 請求項の数16 OL (全 14 頁)

(21)出願番号 特願平9-58928

(22)出願日 平成9年(1997) 3月13日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 安倍 克明

神奈川県川崎市多摩区東三田3丁目10番1

号 松下技研株式会社内

(72)発明者 三村 政博

神奈川県川崎市多摩区東三田3丁目10番1

号 松下技研株式会社内

(72)発明者 長谷川 誠

神奈川県川崎市多摩区東三田3丁目10番1

号 松下技研株式会社内

(74)代理人 弁理士 滝本 智之 (外1名)

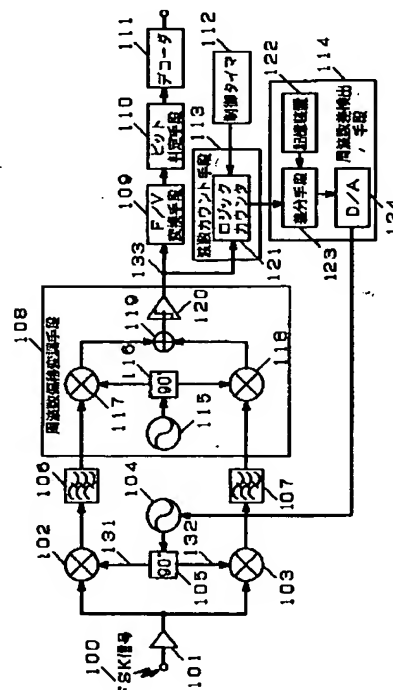
最終頁に続く

(54)【発明の名称】 FSK受信機の自動周波数制御装置

(57)【要約】

【課題】 デジタル無線通信におけるFSK受信機の自動周波数制御装置において、電圧制御発振器の発振周波数を制御し、受信したFSK信号の搬送波周波数と概ね一致させることを目的とする。

【解決手段】 受信したFSK信号100を、直接変換により直交するベースバンド信号に変換した後に、再び低周波数帯のFSK信号133に変換し、F/V変換により復調を行うFSK受信機において、ビット長に対して十分長い時間にわたって低周波数帯FSK信号133の波数をカウントし、理想値との比較を行うことにより、電圧制御発振器104における発振周波数の誤差量を検出し、制御電圧に変換して電圧制御発振器104へフィードバックを行うことにより、自動周波数制御を行う。



## 【特許請求の範囲】

【請求項1】 周波数偏移変調されて入力される第1のFSK信号の搬送波周波数とほぼ等しい周波数を生成し、制御電圧による周波数制御が可能な第1の電圧制御発振器と、前記第1の電圧制御発振器の出力信号を、互いに90度位相の異なる2信号に移相分配し、位相の進んだ第1の分配信号と位相の遅れた第2の分配信号とを出力する第1の移相分配器と、前記第1のFSK信号と前記第1の分配信号を混合する第1の混合器と、前記第1のFSK信号と前記第2の分配信号を混合する第2の混合器と、前記第1の混合器の出力信号を帯域制限し、同相ベースバンド信号成分を出力する第1の低域通過フィルタと、前記第2の混合器の出力信号を帯域制限し、直交ベースバンド信号成分を出力する第2の低域通過フィルタと、前記同相ベースバンド信号と前記直交ベースバンド信号から、前記第1のFSK信号の搬送波周波数より低い周波数帯で周波数偏移変調して第2のFSK信号を出力する周波数偏移変調手段と、前記第2のFSK信号の瞬時周波数にほぼ比例した電圧に変換して出力する周波数電圧変換手段と、前記周波数電圧変換手段から出力された電圧に対してビット判定を行い、判定されたビットデータ列を出力するビット判定手段と、前記判定されたビットデータ列から受信情報を抽出するデコーダと、前記ビットデータのビット長に対して十分長い時間にわたる制御信号を繰返し出力する第1の制御タイマと、前記制御信号が出力されている時間にわたって、前記第2のFSK信号の波数をカウントし、カウント結果を出力する波数カウント手段と、リファレンス値としてあらかじめ設定した数と前記カウント結果との差分に比例した電圧を制御電圧として前記第1の電圧制御発振器へ供給する第1の周波数差検出手段とを有することを特徴とするFSK受信機の自動周波数制御装置。

【請求項2】 入力信号を振幅制限増幅する第1および第2のリミット回路を設け、第1の低域通過フィルタの出力信号を前記第1のリミット回路に供給し、第2の低域通過フィルタの出力信号を前記第2のリミット回路に供給し、前記第1のリミット回路の出力信号を同相ベースバンド信号とし、前記第2のリミット回路の出力信号を直交ベースバンド信号としてそれぞれ周波数偏移変調手段へ供給することを特徴とする請求項1記載のFSK受信機の自動周波数制御装置。

【請求項3】 周波数偏移変調手段の出力信号を帯域制限する帯域通過フィルタを設け、前記帯域通過フィルタの出力信号を第2のFSK信号として周波数電圧変換手段と波数カウント手段へ供給することを特徴とする請求項1または2記載のFSK受信機の自動周波数制御装置。

【請求項4】 第1のFSK信号は、あらかじめ定められた時刻に既知ビットデータ列が挿入されているビットデータ列によるFSK信号であり、第1の制御タイマの

代わりに、デコーダにおいて抽出された受信情報に基づき、前記既知ビットデータ列が送信される時間にわたって制御信号を波数カウント手段へ供給する第2の制御タイマを設け、第1の周波数差検出手段では、第1の電圧制御発振器の発振周波数が理想値である場合に、波数カウント手段においてカウントされるべき数をリファレンス値として設定しておくことを特徴とする請求項1から3のいずれかに記載のFSK受信機の自動周波数制御装置。

【請求項5】 第1のFSK信号のビットデータ列は、複数ビットデータによるフレーム単位で構成され、受信すべき情報が数フレーム間隔毎に挿入されているビットデータ列によるFSK信号であり、前記受信すべき情報が挿入されているフレームにおいて、FSK受信機を間欠動作させる間欠動作制御手段を設け、受信すべきフレームとの同期が未確立の状態では、前記受信すべきフレームよりも前のフレームにおいて、前記間欠動作制御手段から前記FSK受信機に対して、受信および自動周波数制御の動作命令を行い、あらかじめ前記第1のFSK信号の搬送波周波数と第1の電圧制御発振器の発振周波数の誤差を少なくしておくことを特徴とする請求項1記載のFSK受信機の自動周波数制御装置。

【請求項6】 周波数偏移変調手段が、第1のFSK信号の搬送波周波数より低い固定周波数信号を生成する固定周波数発振器と、前記固定周波数信号の出力信号を、互いに90度位相の異なる2信号に移相分配して、位相の進んだ第3の分配信号と位相の遅れた第4の分配信号とを出力する第2の移相分配器と、同相ベースバンド信号と前記第3の分配信号とを混合する第3の混合器と、直交ベースバンド信号と前記第4の分配信号とを混合する第4の混合器と、前記第3の混合器の出力信号と前記第4の混合器の出力信号を加算して出力する加算器とを有することを特徴とする請求項1から5のいずれかに記載のFSK受信機の自動周波数制御装置。

【請求項7】 第1の電圧制御発振器の発振周波数が理想値である場合に、波数カウント手段においてカウントされるべき数を、ビット判定手段から出力されるビットデータ列に基づいて算出し、リファレンス値として出力するリファレンス値算出手段を設け、第1の周波数差検出手段の代わりに、波数カウント手段から出力されたカウント結果と前記リファレンス値との差分に比例した電圧を制御電圧として前記第1の電圧制御発振器へ供給する第2の周波数差検出手段を設けたことを特徴とする請求項1記載のFSK受信機の自動周波数制御手段。

【請求項8】 第1の制御タイマからリファレンス値算出手段へ供給される信号に対し、周波数電圧変換手段における入力と出力の間で生じる時間遅延と同等の時間遅延を行う遅延回路を設けたことを特徴とする請求項7記載のFSK受信機の自動周波数制御装置。

【請求項9】 第2の低域通過フィルタの出力信号のレ

ベルが、あらかじめ定められたレベルに対して大きい小さいかの判定結果を出力する第1の受信レベル判定手段を設け、第1の周波数差検出手段の代わりに、前記判定結果が大の場合には、波数カウント手段から出力されたカウント結果と、リファレンス値としてあらかじめ定められた数との差分に比例した電圧を制御電圧として第1の電圧制御発振器へ供給し、前記判定結果が小の場合には、前記カウント数の差分の算出を行わず、直前まで用いていた制御電圧を前記第1の電圧制御発振器へ供給する第3の周波数差検出手段を設けたことを特徴とする請求項1記載のFSK受信機の自動周波数制御装置。

【請求項10】 第1の受信レベル判定手段の代わりに、第2のFSK信号のレベルが、あらかじめ定められたレベルに対して大きい小さいかの判定結果を第3の周波数差検出手段へ供給する第2の受信レベル判定手段を設けたことを特徴とする請求項9記載のFSK受信機の自動周波数制御装置。

【請求項11】 第2のFSK信号を振幅制限増幅して出力し、周波数電圧変換手段と波数カウント手段へ供給する第3のリミッタ回路を設けたことを特徴とする請求項1記載のFSK受信機の自動周波数制御装置。

【請求項12】 周波数電圧変換手段が、第3のリミッタ回路の出力信号の立ち上がりとしち下がり検出する微分回路と、前記微分回路にて検出された立ち上がり、立ち下がりタイミング時に一定時間幅のパルス波を出力するパルス生成手段と、前記パルス波を積分する第3の低域通過フィルタとを有することを特徴とする請求項1記載のFSK受信機の自動周波数制御装置。

【請求項13】 波数カウント手段が、第1の制御タイマから制御信号が供給される時間にわたって、第3のリミッタ回路の出力信号のパルス数をカウントし、カウント結果のデジタル値を出力する第1のロジックカウンタを有するとともに、第1の周波数差検出手段が、第1の電圧制御発振器の発振周波数が理想値である場合に、前記第1のロジックカウンタから出力されるべきカウント数のデジタル値をあらかじめ記憶している第1の記憶装置と、前記第1のロジックカウンタから出力されたデジタル値と前記第1の記憶装置に記憶されているデジタル値の差分のデジタル値を出力する第1の差分手段と、前記第1の差分手段から出力されたデジタル値をアナログ電圧に変換し、前記第1の電圧制御発振器へ制御電圧として出力する第1のD/A変換手段とを有することを特徴とする請求項11記載のFSK受信機の自動周波数制御手段。

【請求項14】 デコードと第1のロジックカウンタと第1の差分手段の代わりに、CPUと、第2のFSK信号の周波数帯よりも2倍以上高い周波数のクロック信号を前記CPUへ供給するクロック発振器を設け、前記CPUは、ビット判定手段から出力されたビットデータ列から受信情報を抽出する処理と、第1の制御タイマから

制御信号が出力される時間にわたって、第3のリミッタ回路の出力信号のパルス数をカウントする処理と、前記カウントの結果と第1の記憶装置に記憶されているデジタル値の差分のデジタル値を出力する処理を行うことを特徴とする請求項13記載のFSK受信機の自動周波数制御装置。

【請求項15】 第1の差分手段の代わりに、第1の記憶装置に記憶されたデジタル値に対する、第1のロジックカウンタから出力されたカウンタ値の大小の判定結果を出力する周波数差判定手段と、前記周波数差判定手段から出力された判定結果が「大」である場合には、制御デジタル値を1つインクリメントして出力し、前記判定結果が「小」である場合には、制御デジタル値を1つデクリメントして出力し、D/A変換手段へ供給するデジタル値制御手段とを有することを特徴とする請求項13記載のFSK受信機の自動周波数制御装置。

【請求項16】 波数カウント手段として、第3のリミッタ回路から出力されるパルス数をカウントする代わりに、パルス生成手段から出力されたパルス波数を、第1の制御タイマから制御信号が供給される時間にわたってカウントし、カウント結果のデジタル値を出力する第2のロジックカウンタを設け、第1の周波数差検出手段として、第1の電圧制御発振器の発振周波数が理想値である場合に、前記第2のロジックカウンタから出力されるべきカウント数のデジタル値をあらかじめ記憶している第2の記憶装置と、前記第2のロジックカウンタから出力されたデジタル値と前記第2の記憶装置に記憶されているデジタル値の差分のデジタル値を出力する第2の差分手段と、前記第2の差分手段から出力されたデジタル値をアナログ電圧に変換し、前記第1の電圧制御発振器へ制御電圧として出力する第2のD/A変換手段とを有することを特徴とする請求項12記載のFSK受信機の自動周波数制御手段。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、主としてデジタル無線通信におけるFSK受信機の自動周波数制御装置に関するものである。

【0002】

【従来の技術】近年、デジタル無線通信における周波数偏移変調(FSK: Frequency Shift Keying)方式の受信機として、直接変換受信機が集積回路化に適した構成として知られている。この直接変換受信機における局部発振器の発振周波数の誤差による感度劣化対策として、例えば特開平4-45636のような、自動周波数制御装置(AFC)を用いた受信機が考案されている。以下、図10及び図11を参照して従来の自動周波数制御装置について簡単に説明する。

【0003】図10において、マークあるいはスペースの2値デジタル信号で周波数偏移変調された受信信号

であるFSK信号100は、増幅器101で増幅され、2分割されてそれぞれ混合器102、103に入力される。また、電圧制御発振器104から出力された信号は、移相分配器105において互いに位相の90度異なる2信号に移相分配され、一方は混合器102へ入力され、他方は混合器103へ入力される。そして、混合器102、103の出力はそれぞれ低域通過フィルタ106、107において帯域制限され、同相ベースバンド信号(I信号)と直交ベースバンド信号(Q信号)を得る。復調回路1001はこのI、Q信号を用いて復調を行

い、復調出力1008を得る。  
 【0004】このような直接変換受信回路において、I信号またはQ信号をリミッタ回路1002で振幅制限し、エッジ検出回路1003でエッジを検出し、パルス生成回路1004で一定時間幅のパルス波に生成した後、積分回路1005で積分することにより、等価的にベースバンド信号の周波数電圧(F/V)変換が行われる。この結果を平均値回路1006で平均化することにより、周波数偏移FDに対応する電圧VDが得られる。受信したFSK信号100の搬送波周波数と電圧制御発振器104の出力周波数にずれが生じている場合、積分回路1005の出力は図11に示すように、データがマークの場合とスペースの場合で平均値VDに比べて大小に変動する。よって、積分回路の出力が平均値VDとほぼ一致するように制御回路1007で電圧制御発振器を制御することにより、AFCを行うことができる。

#### 【0005】

【発明が解決しようとする課題】近年ページャ等のFSKデジタル無線通信システムでは、需要の増大への対応や、周波数資源の有効利用の目的で、データ伝送の高速化・多値化、占有帯域の狭帯域化が望まれており、すなわち変調指数の低いFSK信号を復調することが必要となっている。

【0006】図10の受信機において、例えば変調指数が1以下であるようなFSK信号を受信すると、I、Qベースバンド信号の一データ間に現れるエッジの個数は少なくなる。受信したFSK信号の搬送波周波数と電圧制御発振器104の発振周波数にずれが生じている場合、マークあるいはスペースのどちらか一方で、一データ間にエッジが現れなくなる可能性があり、平均値回路1006での平均化が正しく行われなくなり、AFCが正しく動作しなくなる。

【0007】また、図10の受信機において、例えば4値のFSK信号を受信すると、仮に受信した4値FSK信号の搬送波周波数と電圧制御発振器104の発振周波数がほぼ一致していても、データにより周波数偏移が異なるため、積分回路1005の出力電圧が異なり、一定とならないため、AFCが正しく動作しなくなる。

【0008】本発明は、前記のような問題点を解消するためになされたものであり、変調指数が低く、もしくは

さらに多値化されたFSK信号を受信復調するにあたり、電圧制御発振器の発振周波数を制御し、受信したFSK信号の搬送波周波数と概ね一致させることを目的とする。

#### 【0009】

【課題を解決するための手段】この課題を解決するために本発明のFSK受信機の自動周波数制御装置は、受信したFSK信号を、直接変換により直交するベースバンド信号に変換した後に、再び低周波数帯のFSK信号に変換し、F/V変換により復調を行うFSK受信機において、ビット長に対して十分長い時間にわたって低周波数帯FSK信号の波数をカウントし、理想値との比較を行うことにより、電圧制御発振器における発振周波数の誤差量を検出し、制御電圧に変換して電圧制御発振器へフィードバックを行うことにより、自動周波数制御を行うように構成したものである。

【0010】本発明によれば、変調指数が低い、もしくは多値化されたFSK信号を復調するにあたり、電圧制御発振器の出力周波数を制御し、受信したFSK信号の搬送波周波数と概ね一致させることが可能となる。

#### 【0011】

【発明の実施の形態】本発明の請求項1に記載の発明は、周波数偏移変調されて入力される第1のFSK信号の搬送波周波数とほぼ等しい周波数を生成し、制御電圧による周波数制御が可能な第1の電圧制御発振器と、前記第1の電圧制御発振器の出力信号を、互いに90度位相の異なる2信号に移相分配し、位相の進んだ第1の分配信号と位相の遅れた第2の分配信号とを出力する第1の移相分配器と、前記第1のFSK信号と前記第1の分配信号を混合する第1の混合器と、前記第1のFSK信号と前記第2の分配信号を混合する第2の混合器と、前記第1の混合器の出力信号を帯域制限し、同相ベースバンド信号成分を出力する第1の低域通過フィルタと、前記第2の混合器の出力信号を帯域制限し、直交ベースバンド信号成分を出力する第2の低域通過フィルタと、前記同相ベースバンド信号と前記直交ベースバンド信号から、前記第1のFSK信号の搬送波周波数より低い周波数帯で周波数偏移変調して第2のFSK信号を出力する周波数偏移変調手段と、前記第2のFSK信号の瞬時周波数にほぼ比例した電圧に変換して出力する周波数電圧変換手段と、前記周波数電圧変換手段から出力された電圧に対してビット判定を行い、判定されたビットデータ列を出力するビット判定手段と、前記判定されたビットデータ列から受信情報を抽出するデコーダと、前記ビットデータのビット長に対して十分長い時間にわたる制御信号を繰返し出力する第1の制御タイマと、前記制御信号が出力されている時間にわたって、前記第2のFSK信号の波数をカウントし、カウント結果を出力する波数カウント手段と、リファレンス値としてあらかじめ設定した数と前記カウント結果との差分に比例した電圧を

制御電圧として前記第1の電圧制御発振器へ供給する第1の周波数差検出手段とを有することを特徴とするFSK受信機の自動周波数制御装置であり、受信した第1のFSK信号を直接変換によりベースバンド帯のI信号、Q信号に変換した後、低周波数帯において第2のFSK信号に変換し、第2のFSK信号の波数を、ビット長に対して十分長い時間にわたってカウントし、リファレンス値としてあらかじめ設定された数との差分に比例した電圧を制御電圧として第1の電圧制御発振器へ供給し、発振周波数を制御するという作用を有する。

【0012】請求項2に記載の発明は、入力信号を振幅制限増幅する第1および第2のリミッタ回路を設け、第1の低域通過フィルタの出力信号を前記第1のリミッタ回路に供給し、第2の低域通過フィルタの出力信号を前記第2のリミッタ回路に供給し、前記第1のリミッタ回路の出力信号を同相ベースバンド信号とし、前記第2のリミッタ回路の出力信号を直交ベースバンド信号としてそれぞれ周波数偏移変調手段へ供給することを特徴とする請求項1記載のFSK受信機の自動周波数制御装置であり、第1の低域通過フィルタと第2の低域通過フィルタから出力された信号を振幅制限増幅することにより、定振幅信号を得る、という作用を有する。

【0013】請求項3に記載の発明は、周波数偏移変調手段の出力信号を帯域制限する帯域通過フィルタを設け、前記帯域通過フィルタの出力信号を第2のFSK信号として周波数電圧変換手段と波数カウント手段へ供給することを特徴とする請求項1または2記載のFSK受信機の自動周波数制御装置であり、第2のFSK信号の帯域外の雑音成分、及び変調時のひずみ成分を除去する、という作用を有する。

【0014】請求項4に記載の発明は、第1のFSK信号は、あらかじめ定められた時刻に既知ビットデータ列が挿入されているビットデータ列によるFSK信号であり、第1の制御タイマの代わりに、デコーダにおいて抽出された受信情報に基づき、前記既知ビットデータ列が送信される時間にわたって制御信号を波数カウント手段へ供給する第2の制御タイマを設け、第1の周波数差検出手段では、第1の電圧制御発振器の発振周波数が理想値である場合に、波数カウント手段においてカウントされるべき数をリファレンス値として設定しておくことを特徴とする請求項1から3のいずれかに記載のFSK受信機の自動周波数制御装置であり、既知ビットデータが送信されるタイミングにおいて周波数差の検出を行い、検出された周波数差に基づいて電圧制御発振器を制御する、という作用を有する。

【0015】請求項5に記載の発明は、第1のFSK信号のビットデータ列は、複数ビットデータによるフレーム単位で構成され、受信すべき情報が数フレーム間隔毎に挿入されているビットデータ列によるFSK信号であり、前記受信すべき情報が挿入されているフレームにお

いて、FSK受信機を間欠動作させる間欠動作制御手段を設け、受信すべきフレームとの同期が未確立の状態では、前記受信すべきフレームよりも前のフレームにおいて、前記間欠動作制御手段から前記FSK受信機に対して、受信および自動周波数制御の動作命令を行い、あらかじめ前記第1のFSK信号の搬送波周波数と第1の電圧制御発振器の発振周波数の誤差を少なくしておくことを特徴とする請求項1記載のFSK受信機の自動周波数制御装置であり、自己フレームの同期タイミングより前に、あらかじめ前記第1のFSK信号の搬送波周波数と第1の電圧制御発振器の周波数の誤差を少なくする、という作用を有する。

【0016】請求項6に記載の発明は、周波数偏移変調手段が、第1のFSK信号の搬送波周波数より低い固定周波数信号を生成する固定周波数発振器と、前記固定周波数信号の出力信号を、互いに90度位相の異なる2信号に移相分配して、位相の進んだ第3の分配信号と位相の遅れた第4の分配信号とを出力する第2の移相分配器と、同相ベースバンド信号と前記第3の分配信号とを混合する第3の混合器と、直交ベースバンド信号と前記第4の分配信号とを混合する第4の混合器と、前記第3の混合器の出力信号と前記第4の混合器の出力信号を加算して出力する加算器とを有することを特徴とする請求項1から5のいずれかに記載のFSK受信機の自動周波数制御装置であり、入力されたI信号、Q信号を用い、固定周波数信号を搬送波信号として直交変調して第2のFSK信号を出力する、という作用を有する。

【0017】請求項7に記載の発明は、第1の電圧制御発振器の発振周波数が理想値である場合に、波数カウント手段においてカウントされるべき数を、ビット判定手段から出力されるビットデータ列に基づいて算出し、リファレンス値として出力するリファレンス値算出手段を設け、第1の周波数差検出手段の代わりに、波数カウント手段から出力されたカウント結果と前記リファレンス値との差分に比例した電圧を制御電圧として前記第1の電圧制御発振器へ供給する第2の周波数差検出手段を設けたことを特徴とする請求項1記載のFSK受信機の自動周波数制御手段であり、受信したビットデータに対応する第2のFSK信号の、理想的な波数カウント数をリファレンス値として第2の周波数差検出手段に供給する、という作用を有する。

【0018】請求項8に記載の発明は、第1の制御タイマからリファレンス値算出手段へ供給される信号に対し、周波数電圧変換手段における入力と出力の間で生じる時間遅延と同等の時間遅延を行う遅延回路を設けたことを特徴とする請求項7記載のFSK受信機の自動周波数制御装置であり、波数カウント手段における波数カウントと、リファレンス値算出手段におけるリファレンス値算出のタイミングのずれを補正をとる、という作用を有する。



【0019】請求項9に記載の発明は、第2の低域通過フィルタの出力信号のレベルが、あらかじめ定められたレベルに対して大きい小さいかの判定結果を出力する第1の受信レベル判定手段を設け、第1の周波数差検出手段の代わりに、前記判定結果が大の場合には、波数カウント手段から出力されたカウント結果と、リファレンス値としてあらかじめ定められた数との差分に比例した電圧を制御電圧として第1の電圧制御発振器へ供給し、前記判定結果が小の場合には、前記カウント数の差分の算出を行わず、直前まで用いていた制御電圧を前記第1の電圧制御発振器へ供給する第3の周波数差検出手段を設けたことを特徴とする請求項1記載のFSK受信機の自動周波数制御装置であり、受信信号レベルが小さいときには、周波数差の検出を行わず、直前まで用いていた制御電圧を第1の電圧制御発振器へ供給する、という作用を有する。

【0020】請求項10に記載の発明は、第1の受信レベル判定手段の代わりに、第2のFSK信号のレベルが、あらかじめ定められたレベルに対して大きい小さいかの判定結果を第3の周波数差検出手段へ供給する第2の受信レベル判定手段を設けたことを特徴とする請求項9記載のFSK受信機の自動周波数制御装置であり、第2のFSK信号を用いて受信信号レベルの判定を行い、受信信号レベルが小さいときには、周波数差の検出を行わず、直前まで用いていた制御電圧を第1の電圧制御発振器へ供給する、という作用を有する。

【0021】請求項11に記載の発明は、第2のFSK信号を振幅制限増幅して出力し、周波数電圧変換手段と波数カウント手段へ供給する第3のリミット回路を設けたことを特徴とする請求項1記載のFSK受信機の自動周波数制御装置であり、第2のFSK信号を振幅制限増幅し、定振幅信号とする、という作用を有する。

【0022】請求項12に記載の発明は、周波数電圧変換手段が、第3のリミット回路の出力信号の立ち上がり立ち下がりを検出する微分回路と、前記微分回路にて検出された立ち上がり、立ち下がりタイミング時に一定時間幅のパルス波を出力するパルス生成手段と、前記パルス波を積分する第3の低域通過フィルタとを有することを特徴とする請求項11記載のFSK受信機の自動周波数制御装置であり、第2のFSK信号の瞬時周波数に比例した電圧を出力する、という作用を有する。

【0023】請求項13に記載の発明は、波数カウント手段が、第1の制御タイマから制御信号が供給される時間にわたって、第3のリミット回路の出力信号のパルス数をカウントし、カウント結果のデジタル値を出力する第1のロジックカウンタを有するとともに、第1の周波数差検出手段が、第1の電圧制御発振器の発振周波数が理想値である場合に、前記第1のロジックカウンタから出力されるべきカウント数のデジタル値をあらかじめ記憶している第1の記憶装置と、前記第1のロジック

カウンタから出力されたデジタル値と前記第1の記憶装置に記憶されているデジタル値の差分のデジタル値を出力する第1の差分手段と、前記第1の差分手段から出力されたデジタル値をアナログ電圧に変換し、前記第1の電圧制御発振器へ制御電圧として出力する第1のD/A変換手段とを有することを特徴とする請求項11記載のFSK受信機の自動周波数制御手段であり、第2のFSK信号の波数カウントをデジタル処理により行う、という作用を有する。

10 【0024】請求項14に記載の発明は、デコーダと第1のロジックカウンタと第1の差分手段の代わりに、CPUと、第2のFSK信号の周波数帯よりも2倍以上高い周波数のクロック信号を前記CPUへ供給するクロック発振器を設け、前記CPUは、ビット判定手段から出力されたビットデータ列から受信情報を抽出する処理と、第1の制御タイマから制御信号が出力される時間にわたって、第3のリミット回路の出力信号のパルス数をカウントする処理と、前記カウントの結果と第1の記憶装置に記憶されているデジタル値の差分のデジタル値を出力する処理を行うことを特徴とする請求項13記載のFSK受信機の自動周波数制御装置であり、CPUにおいてデコーダと第1のロジックカウンタと第1の差分手段と同様の動作を行う、という作用を有する。

【0025】請求項15に記載の発明は、第1の差分手段の代わりに、第1の記憶装置に記憶されたデジタル値に対する、第1のロジックカウンタから出力されたカウント値の大小の判定結果を出力する周波数差判定手段と、前記周波数差判定手段から出力された判定結果が「大」である場合には、制御デジタル値を1つインクリメントして出力し、前記判定結果が「小」である場合には、制御デジタル値を1つデクリメントして出力し、D/A変換手段へ供給するデジタル値制御手段とを有することを特徴とする請求項13記載のFSK受信機の自動周波数制御装置であり、一回の周波数差検出につき、周波数差を少なくする方向へ、一離散分ずつ制御電圧を変えていく、という作用を有する。

【0026】請求項16に記載の発明は、波数カウント手段として、第3のリミット回路から出力されるパルス数をカウントする代わりに、パルス生成手段から出力されたパルス波数を、第1の制御タイマから制御信号が供給される時間にわたってカウントし、カウント結果のデジタル値を出力する第2のロジックカウンタを設け、第1の周波数差検出手段として、第1の電圧制御発振器の発振周波数が理想値である場合に、前記第2のロジックカウンタから出力されるべきカウント数のデジタル値をあらかじめ記憶している第2の記憶装置と、前記第2のロジックカウンタから出力されたデジタル値と前記第2の記憶装置に記憶されているデジタル値の差分のデジタル値を出力する第2の差分手段と、前記第2の差分手段から出力されたデジタル値をアナログ電圧

11

に変換し、前記第1の電圧制御発振器へ制御電圧として出力する第2のD/A変換手段とを有することを特徴とする請求項12記載のFSK受信機の自動周波数制御手段であり、F/V変換手段におけるパルス生成手段から出力されたパルスをデジタル処理によりカウントし、リファレンス値との差を周波数差として用いる、という作用を有する。

【0027】以下、本発明の実施の形態について、図1から図9を用いて説明する。

(実施の形態1) 図1は第1の実施の形態におけるFSK受信機の自動周波数制御装置の構成を示すブロック図である。図1において、100は周波数偏移変調されて入力されるFSK信号、101は入力信号を増幅して出力する増幅器、102、103は2つの入力信号を混合して出力する混合器、104はFSK信号100の搬送波周波数とはほぼ等しい周波数を生成し、制御電圧による発振周波数の制御が可能な電圧制御発振器、105は入力信号を互いに90度位相の異なる2信号に移相分配し、位相の進んだ信号131と位相の遅れた信号132を出力する移相分配器、106、107は高周波数成分を遮断して必要なベースバンド信号帯域のみを出力する低域通過フィルタ、108は直交する2つのベースバンド信号を用いて、受信したFSK信号の搬送波周波数よりも低い周波数帯で周波数偏移変調し、低周波数帯FSK信号133を出力する周波数偏移変調手段であり、例えば、受信したFSK信号の搬送波周波数よりも低い固定周波数を生成する固定周波数発振器115と、移相分配器116と、混合器117、118と、2つの入力信号を加算して出力する加算器119と、入力信号を振幅制限増幅して2値信号として出力するリミッタ回路120により構成される。109は入力信号の瞬時周波数にほぼ比例した電圧に変換して出力する周波数電圧(F/V)変換手段であり、例えば、図2のように構成される。110は復調出力信号に対してビット判定を行い、判定されたビットデータ列を出力するビット判定手段であり、例えば、入力信号と基準電圧の大小の比較結果を出力するコンパレータにより構成される。111は受信したビットデータ列から受信情報を抽出するデコーダ、112はビットデータのビット長に対して十分長い時間にわたる制御信号を繰り返し出力する制御タイマであり、例えば100ビット長の時間に相当する制御信号を繰り返し出力するものである。113は制御信号が入力されている時間にわたって、低周波数帯FSK信号133の波数をカウントし、カウント結果を出力する波数カウント手段であり、例えば、信号の立ち上がり点をカウントするロジックカウンタ121により構成される。114は、入力された数情報と、リファレンス値としてあらかじめ設定された数との差分に比例した電圧を出力する周波数差検出手段であり、例えば、電圧制御発振器104の発振周波数が理想値である場合に、ロジックカ

12

ウンタにてカウントされるべき数をリファレンス値として記憶しておく記憶装置122と、2つの入力された数情報の差分のデジタル値を出力する差分手段123と、デジタル値をアナログ電圧に変換するD/A変換手段124により構成される。

【0028】図2はF/V変換手段109の一例を示すブロック図である。図2において、201は入力された2値信号の変化点を検出する微分回路であり、例えば、入力信号を微少時間だけ遅延させる遅延回路204と、排他的論理和回路205により構成される。202はインパルス状の入力信号に応じて一定時間幅のパルス幅を生成するパルス生成手段であり、例えば単安定マルチバイブレータにより構成される。203は入力されたパルス列を積分して出力する低域通過フィルタである。

【0029】以上のように構成されたFSK受信機の自動周波数制御装置について、その動作を説明する。受信したFSK信号100からI信号とQ信号を得る動作については従来の技術と同様であるので、ここでは省略する。得られたI信号とQ信号は、周波数偏移変調手段108において、固定周波数発振器115の出力信号を搬送波として直交変調され、リミッタ回路120により振幅制限され、低周波数帯FSK信号133として出力される。この低周波数帯FSK信号133は一方で、F/V変換手段109において瞬時周波数に比例した電圧に変換され、ビット判定手段110によりビット判定され、得られたビットデータ列からデコーダ111により受信情報が抽出され出力される。一方では、波数カウント手段113のロジックカウンタ121において、制御タイマ112から出力される制御信号に応じて、100ビット長に相当する時間にわたって低周波数帯FSK信号133の立ち上がり点をカウントする。ここで、送信されるビットデータがランダムで、マークとスペースの比率がほぼ等しいとし、電圧制御発振器104の発振周波数が理想値であるとする、ロジックカウンタ121においてカウントされる数は、低周波数帯におけるFSK信号の搬送波周波数の波数に相当する。すなわち、カウントされる波数 $N_c$ は、 $N_c = \{f_c \times 100T\}$ となる。ただし、 $f_c$ ：低周波数帯FSK信号の搬送波周波数、 $T$ ：ビット長である。

【0030】しかし、電圧制御発振器の発振周波数と受信したFSK信号の搬送波周波数に誤差 $f_e$ が生じている場合には、ロジックカウンタのカウント数は、誤差 $f_e$ に応じて $N_c$ に比べて増減する。すなわち、カウントされる波数 $N_e$ は、 $N_e = \{(f_c - f_e) \times 100T\}$ となる。

【0031】記憶装置122では、周波数誤差がない場合カウントされるべき波数 $N_c$ がリファレンス値として記憶されており、差分手段123において、ロジックカウンタ121から出力されるカウント数との差分演算が行われる。差分演算により得られた結果、すなわち、



$(N_c - N_e) / 100T = f_e$ が、周波数誤差に相当する。この差分結果は、D/A変換手段124においてアナログ電圧に変換され、電圧制御発振器104の制御電圧として供給される。

【0032】以上のように本実施の形態によれば、受信したFSK信号を直接変換により直交するベースバンド信号に変換した後、再び低周波数帯のFSK信号に変換し、ビット長に対して十分長い時間にわたってFSK信号の波数をカウントし、理想的なカウント数との差分を求め、この差分に相当する電圧を制御電圧として電圧制御発振器へフィードバックすることにより、受信したFSK信号の搬送波周波数と電圧制御発振器の発振周波数を概ね一致させることが可能となる。

【0033】なお、本実施の形態では、FSK受信機の自動周波数制御装置を図1のような構成としたが、例えば図3に示すように、I信号、Q信号を振幅制限増幅するリミッタ回路301、302を設けた構成としてもよい。また、低周波数帯FSK信号133を帯域制限する帯域通過フィルタ303を設けてもよく、また、リミッタ回路120を用いない構成としてもよい。

【0034】また、波数カウント手段113において、第2のFSK信号の波数をカウントする代わりに、F/V変換手段109におけるパルス生成手段202の出力信号の波数をカウントし、記憶装置122で、パルス生成手段から出力されるべきパルス数の理想値を記憶しておく構成としてもよい。

【0035】また、デコーダとロジックカウンタと差分手段の動作をCPUにて行う構成としてもよい。

【0036】(実施の形態2)図4は第2の実施の形態におけるFSK受信機の自動周波数制御装置の構成を示すブロック図である。図4において、400はあらかじめ定められた時刻に既知ビットデータ列が挿入されているビットデータ列によるFSK信号であり、既知ビットデータ列は、例えばマークとスペースが交互に繰り返される偶数ビットのビット同期信号である。401は、デコーダ111において抽出された受信情報に基づき、ビット同期信号が送信される時間にわたって制御信号を出力する制御タイマである。図4におけるFSK受信機その他の構成と動作については、図1と同様である。

【0037】以上のように構成されたFSK受信機の自動周波数制御装置について、その動作を説明する。受信したFSK信号400を復調する動作については第1の実施の形態と同様であるので、ここでは省略する。波数カウント手段113では、制御タイマ401から出力された制御信号に基づき、ビット同期信号が送信される時間にわたって、低周波数帯FSK信号133の波数をカウントする。ここで、ビット同期信号は、マークとスペースが交互に繰り返される偶数ビットのビットデータ列であるので、電圧制御発振器104の発振周波数が理想値である場合における波数カウント結果は、低周波数帯

FSK信号133の搬送波周波数、すなわち固定周波数発振器115の発振周波数のカウント結果と一致する。

【0038】記憶装置122は、この理想的なカウント値をリファレンス値として記憶しておく。差分手段12は、記憶装置122の記憶値とカウント結果との差分を求める。電圧制御発振器104の発振周波数に誤差が生じている場合、この誤差量に応じて、差分結果が変動する。したがって、差分結果をD/A変換手段124によりアナログ電圧に変換し、制御電圧として電圧制御発振器104へ供給することにより、発振周波数の自動制御が可能となる。

【0039】以上のように本実施の形態によれば、あらかじめ定められた時刻に送信される既知ビットデータ列のタイミングにおいて波数カウントを行うことにより、電圧制御発振器における発振周波数との誤差量を正確に求め、受信したFSK信号の搬送波周波数と電圧制御発振器の発振周波数とを、より正確に一致させることが可能となる。

【0040】(実施の形態3)図5は第3の実施の形態におけるFSK受信機の自動周波数制御装置の構成を示すブロック図である。図5において、500は、複数ビットデータによるフレーム単位で構成され、受信すべき情報が数フレーム間隔毎に挿入されているビットデータ列によるFSK信号であり、501は、FSK受信機を間欠動作させる間欠動作制御手段である。図5におけるFSK受信機その他の構成と動作については、図1と同様である。

【0041】以上のように構成されたFSK受信機の自動周波数制御装置の動作について、その動作を説明する。間欠動作制御手段501では、受信すべきフレームが送信されるタイミングでFSK受信機を動作させ、FSK信号の復調と自動周波数制御を行う。また、電源の投入直後等で、受信すべきフレームとの同期が未確立の状態では、受信すべきフレーム以外のタイミングにおいてFSK受信機と自動周波数制御装置を動作させ、電圧制御発振器の発振周波数の誤差を少なくしておく。

【0042】以上のように本実施の形態によれば、間欠動作しながらFSK信号を受信するシステムにおいて、受信すべきフレームとの同期が未確立の状態において、自動周波数制御装置を動作させ、あらかじめ電圧制御発振器の発振周波数の誤差を少なくしておくことにより、受信すべきフレームにて動作する際の自動周波数制御の動作を、より確実に行うことが可能となる。

【0043】(実施の形態4)図6は第4の実施の形態におけるFSK受信機の自動周波数制御装置の構成を示すブロック図である。図6において、601は、ビット判定手段110から出力されるビットデータ列に基づいて、ビットデータ列から予測される低周波数帯FSK信号の波数の理想値を算出し、リファレンス値として出力するリファレンス値算出手段であり、602は、リファ

レンス値算出手段601から供給されるリファレンス値と、波数カウント手段113から出力されるカウント値との差分に比例した電圧を制御電圧として電圧制御発振器104へ供給する周波数差検出手段であり、603は、入力された信号に対し、F/V変換手段109における入力と出力の間の時間遅延と同等の時間遅延を行って出力する遅延回路である。図5におけるFSK受信機のその他の構成と動作については、図1と同様である。

【0044】以上のように構成されたFSK受信機の自動周波数制御装置の動作について、第1の実施の形態と異なる動作をする部分について説明する。送信されるFSK信号のビットデータのマークとスペースの数の比率が時間によって大きく変化するとすると、波数カウント手段113におけるカウント結果もビットデータに応じて変化する。そこで、ビット判定手段110から出力されたビットデータに基づいて、波数カウント手段113においてカウントされるべき波数を予測する。例えば、ある時間におけるビットデータ数が、マーク： $M_1$  ビット、スペース $M_2$  ビットであったとすると、波数カウント手段113においてカウントされるべき波数は、

$$\{(f_c + \Delta f) \times M_1 T\} + \{(f_c - \Delta f) \times M_2 T\}$$
となる。ただし、 $f_c$ ：低周波数帯FSK信号の搬送波周波数、 $+\Delta f$ ：マークの場合の周波数偏移、 $-\Delta f$ ：スペースの場合の周波数偏移、 $T$ ：ビット長である。

【0045】ここで、F/V変換手段109の時間遅延による、波数カウントとリファレンス値予測とのタイミングのずれを補正するために、遅延回路603が挿入されている。このようにしてリファレンス値が算出され、周波数差検出手段602へ供給される。波数カウント手段113では、制御タイマ112から制御信号が出力されている時間にわたって低周波数帯FSK信号133の波数をカウントする。カウント結果は、電圧制御発振器104における発振周波数の誤差の量に応じて、リファレンス値よりも増減する。従って、周波数差検出手段602において、カウント結果とリファレンス値の差分を求めることにより、誤差量を推定することができる。

【0046】以上のように本実施の形態によれば、受信したビットデータ列に基づいて、波数カウント手段でカウントされるべき波数を予測し、リファレンス値として用いることにより、受信したFSK信号の搬送波周波数と電圧制御発振器の発振周波数をより正確に一致させることが可能となる。また、ビットデータの内容によらず周波数誤差の推定が可能となるため、波数カウントの時間をより短くすることが可能となり、また、既知信号の送信されるタイミング以外においても周波数差検出を行うことが可能となる。

【0047】なお、本実施の形態では遅延回路603を用いる構成としたが、この限りではなく、F/V変換手段109における遅延が小さければ、遅延回路603を

用いない構成としてもよい。

【0048】(実施の形態5) 図7は第5の実施の形態におけるFSK受信機の自動周波数制御装置の構成を示すブロック図である。図7において、701は入力された信号のレベルがあらかじめ定められたしきい値レベルに対して大きい小さいかの判定結果を出力する受信レベル判定手段であり、例えば、受信したFSK信号100のレベルが感度点レベルのときに、低域通過フィルタ107から出力されるレベルをしきい値とし、入力信号がしきい値に対して大きい場合にはHigh信号を出力し、小さい場合にはLow信号を出力するものである。702は、受信レベル判定手段701からHigh信号が入力された場合には波数カウント手段113から出力されたカウント値とリファレンス値の差分に比例した電圧を出力し、受信レベル判定手段701からLow信号が入力された場合には直前まで出力していた電圧を出力する周波数差検出手段である。122はリファレンス値を記憶しておく記憶装置、123は2つの入力された数情報の差分を出力する差分手段、703は差分結果を記憶しておく記憶装置、124はD/A変換手段、704は、受信レベル判定手段701の出力信号がHighの場合には差分手段123から出力された差分結果を記憶装置703とD/A変換手段124へ出力し、受信レベル判定手段701の出力信号がLowの場合には記憶装置703に記憶されている差分情報を読み出してD/A変換手段124へ出力する制御手段である。図7におけるFSK受信機のその他の構成と動作については、図1と同様である。

【0049】以上のように構成されたFSK受信機の自動周波数制御装置について、第1の実施の形態と異なる動作をする部分について説明する。受信レベル判定手段701では、受信したFSK信号のレベルが感度点よりも大きい小さいかの判定が行われ、感度点よりも大きい場合にはHigh信号が、小さい場合にはLow信号が制御手段704に供給される。制御手段704では、受信レベル判定手段701からHigh信号が出力される場合には、差分手段123における、カウント値とリファレンス値の差分の出力値をD/A変換回路124へ供給するとともに、記憶装置703へ供給する。これにより、通常のAFC制御が行われる。受信レベル判定手段701からLowが出力される場合には、受信したFSK信号のレベルが感度点以下であるため、周波数差の検出結果、すなわち差分手段123から出力される差分演算結果が、雑音の影響により変動する可能性がある。この場合、制御手段704は、差分手段123から出力される差分値の代わりに、記憶装置703に記憶されている差分値を読み出してD/A変換回路124へ供給する。

【0050】以上のように本実施の形態によれば、受信したFSK信号のレベルが小さい場合には、周波数差の

検出を行わずに、以前の検出結果に基づいて電圧制御発振器の制御を行うことにより、雑音の影響による周波数差の誤検出の影響を避けることが可能となる。

【0051】なお、本実施の形態では、図7の構成のように低域通過フィルタ107の出力信号を用いて受信レベルの判定を行う構成としたが、この限りではなく、例えば低域通過フィルタ106の出力信号に基づいて受信レベルの判定を行う構成としてもよい。また、低域通過フィルタ106と低域通過フィルタ107の双方の出力信号を乗じる乗算器を設け、乗算結果に基づいて受信レベルの判定を行う構成としてもよく、また図8の構成のように、第2のFSK信号に基づいて受信レベルの判定を行う構成としてもよい。

【0052】(実施の形態6) 図9は第6の実施の形態におけるFSK受信機の自動周波数制御装置の構成を示すブロック図である。図9において、901は、記憶装置122に記憶されたリファレンス値に対する、波数カウント手段113のカウント結果の大小を判定し、判定結果を出力する周波数差判定手段であり、例えば判定結果が大の場合にはHighを出力し、小の場合にはLowを出力する。902は、入力信号がHighの場合には出力するデジタル値を1つインクリメントし、入力信号がLowの場合には出力するデジタル値を1つデクリメントして出力するデジタル値制御手段である。図9におけるFSK受信機のその他の構成と動作については、図1と同様である。

【0053】以上のように構成されたFSK受信機の自動周波数制御装置について、第1の実施の形態と異なる動作をする部分について説明する。周波数差判定手段901では、記憶装置122に記憶されているリファレンス値に対する、波数カウント113から出力されたカウント値の大小の判定が行われ、判定結果がデジタル値制御手段902に供給される。デジタル値制御手段902では、入力された判定結果がHighの場合には制御デジタル値を1つインクリメントし、Lowの場合には1つデクリメントして出力する。D/A変換手段124では、デジタル値制御手段から出力された制御デジタル値をアナログ電圧に変換して、制御電圧として電圧制御発振器104へ供給する。

【0054】以上のように本実施の形態によれば、周波数差検出手段において、電圧制御発振器の発振周波数のずれの方向のみを判定し、ずれを修正する方向に1段階ずつ補正をかけることにより、雑音等により波数カウント値が大きく変動した場合に、制御電圧が急激に変化するのを防ぐことが可能となる。

【0055】

【発明の効果】以上のように本発明によれば、受信したFSK信号を直接変換により直交するベースバンド信号に変換した後に、再び低周波数帯のFSK信号に変換し、このFSK信号の波数を一定時間にわたってカウ

トし、理想的なカウント数との差分を求め、この差分に相当する電圧を制御電圧として電圧制御発振器へフィードバックすることにより、受信したFSK信号の搬送波周波数と電圧制御発振器の発振周波数を概ね一致させることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態におけるFSK受信機の自動周波数制御装置の構成ブロック図

【図2】本発明の第1の実施の形態におけるF/V変換手段の一例を示す構成ブロック図

【図3】本発明の第1の実施の形態におけるFSK受信機の自動周波数制御装置の構成ブロック図

【図4】本発明の第2の実施の形態におけるFSK受信機の自動周波数制御装置の構成ブロック図

【図5】本発明の第3の実施の形態におけるFSK受信機の自動周波数制御装置の構成ブロック図

【図6】本発明の第4の実施の形態におけるFSK受信機の自動周波数制御装置の構成ブロック図

【図7】本発明の第5の実施の形態におけるFSK受信機の自動周波数制御装置の構成ブロック図

【図8】本発明の第5の実施の形態におけるFSK受信機の自動周波数制御装置の構成ブロック図

【図9】本発明の第6の実施の形態におけるFSK受信機の自動周波数制御装置の構成ブロック図

【図10】従来のFSK受信機の自動周波数制御装置における構成ブロック図

【図11】従来のFSK受信機の自動周波数制御装置における信号の時間波形概念図

【符号の説明】

- 100、400、500 FSK信号
- 101 増幅器
- 102、103、117、118 混合器
- 104 電圧制御発振器
- 105、116 移相分配器
- 106、107、203 低域通過フィルタ
- 108 周波数偏移変調手段
- 109 F/V変換手段
- 110 ビット判定手段
- 111 デコーダ
- 112、401 制御タイマ
- 113 波数カウント手段
- 114、602、702 周波数差検出手段
- 115 固定周波数発振器
- 119 加算器
- 120、301、302 リミット回路
- 121 ロジックカウンタ
- 122、703 記憶装置
- 123 差分手段
- 124 D/A変換手段
- 201 微分回路

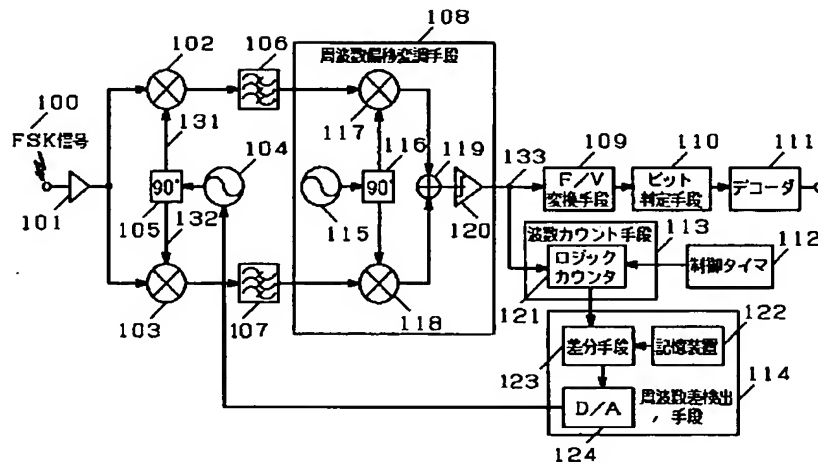
19

20

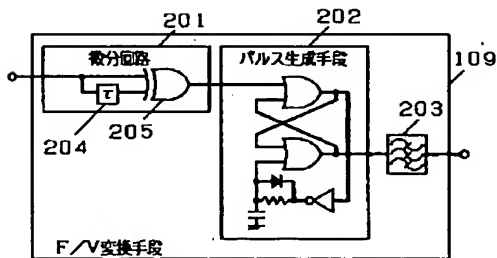
202 パルス生成手段  
204、603 遅延回路  
205 排他的論理和回路  
303 帯域通過フィルタ  
501 間欠動作制御手段

601 リファレンス値算出手段  
701 受信レベル判定手段  
704 制御手段  
901 周波数差判定手段  
902 デジタル値制御手段

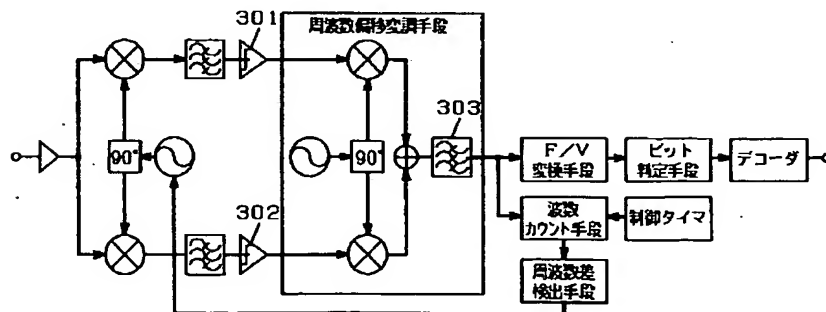
【図1】



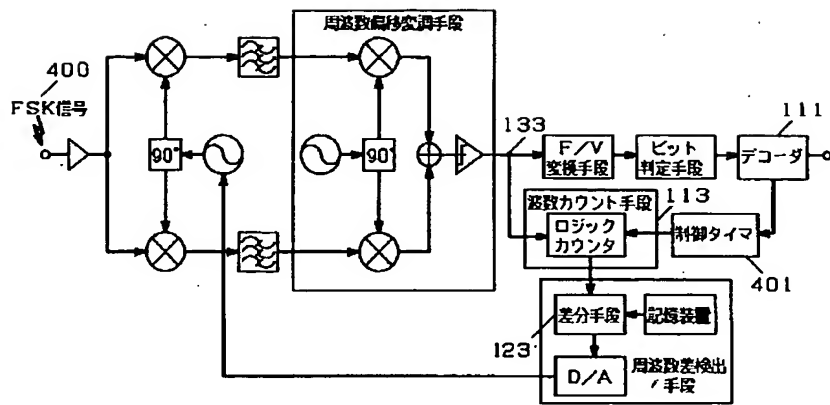
【図2】



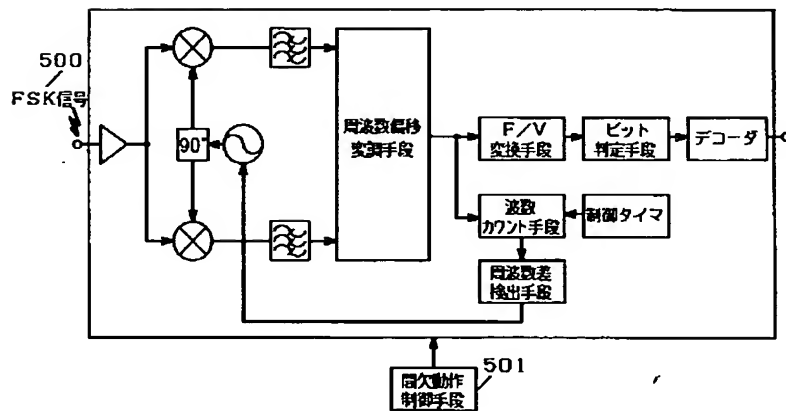
【図3】



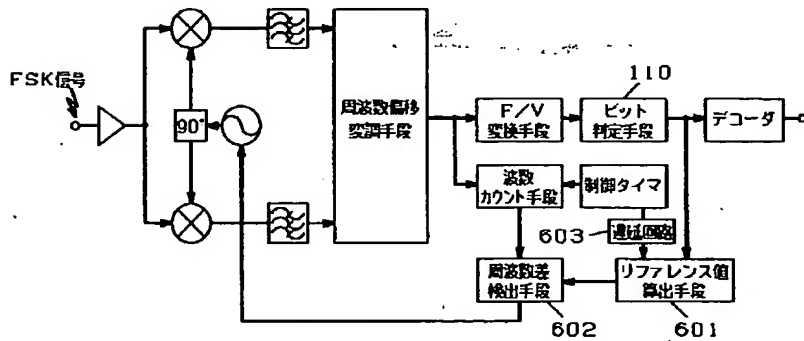
【図4】



【図5】



【図6】

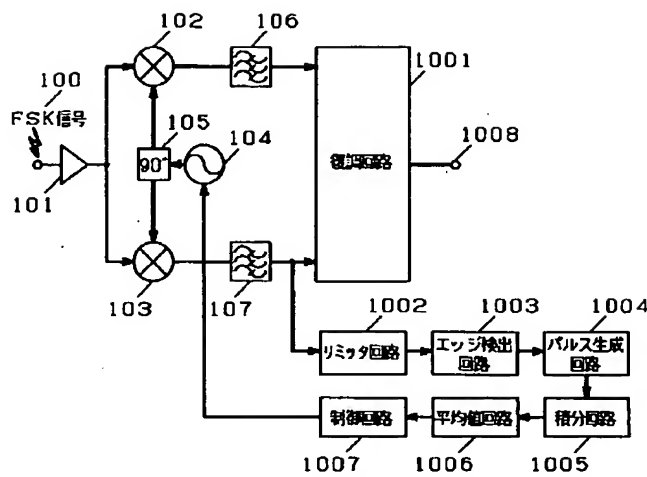


[illegible]

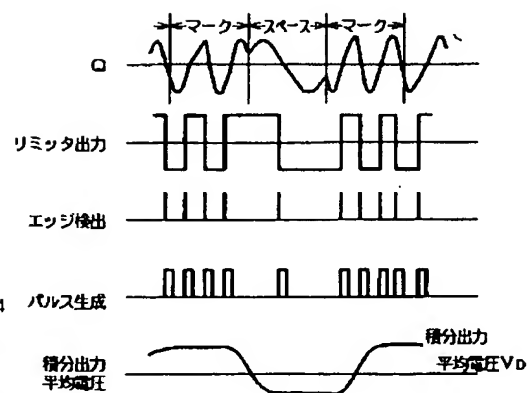
Figure 1 is a block diagram of a digital frequency synthesizing circuit. The circuit includes an FSK signal input, a 90-degree phase shifter, a mixer, a frequency divider, a phase-locked loop (PLL), a digital-to-analog converter (DAC), and a frequency synthesizer. The FSK signal is split into two paths. One path goes through a 90-degree phase shifter and a mixer to produce a reference signal. The other path goes through a mixer to produce a signal. These signals are then processed by a frequency divider and a PLL to generate a stable reference signal. This reference signal is used to control a DAC and a frequency synthesizer. The DAC output is compared with the reference signal to generate an error signal, which is used to adjust the frequency synthesizer. The final output is a digital frequency signal.



【図10】



【図11】



フロントページの続き

(72)発明者 片山 浩

神奈川県横浜市港北区綱島東四丁目3番1  
号 松下通信工業株式会社内